

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-294632

(43)Date of publication of application : 19.10.1992

(51)Int.Cl.

H03K 5/19

(21)Application number : 03-083224

(71)Applicant : NEC CORP  
NEC ENG LTD

(22)Date of filing : 22.03.1991

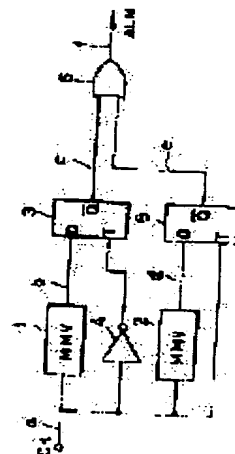
(72)Inventor : FUJINOBE YASUHIRO  
IWATANI AKIHIKO  
KIKUCHI TOSHIKI

## (54) CLOCK FAULT DETECTION CIRCUIT

## (57)Abstract:

PURPOSE: To detect a fault in a duty ratio of a clock signal.

CONSTITUTION: In the case of detecting a fault in a duty ratio of a clock (a) having a reference duty ratio A and a reference period T, a 1st reference pulse (b) whose pulse width is  $A \times T$  synchronously with a leading of the clock (a) and a 2nd reference pulse (d) whose pulse width is  $A \times T$  synchronously with a trailing of the clock (a) are generated by MMVs 1,2. The reference pulses b, d are respectively latched and sampled by DFFs 3,5. The leading/trailing of the clock (a) is used as the latch timing. An alarm output (f) is generated in response to a level of sampling outputs c, e.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-294632

(43) 公開日 平成4年(1992)10月19日

(51) Int.Cl.<sup>5</sup>

H 0 3 K 5/19

識別記号

庁内整理番号

F I

技術表示箇所

T 7125-5 J

審査請求 未請求 請求項の数 2 (全 5 頁)

(21) 出願番号

特願平3-83224

(22) 出願日

平成3年(1991)3月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区西新橋3丁目20番4号

(72) 発明者 藤延 康裕

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 巖谷 昭彦

東京都港区西新橋三丁目20番4号 日本電気エンジニアリング株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

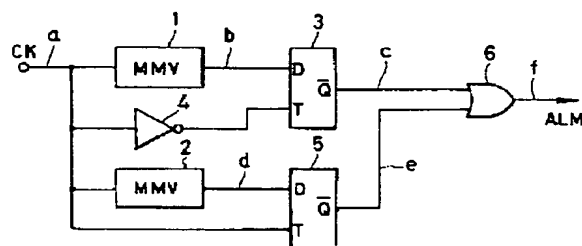
最終頁に続く

(54) 【発明の名称】 クロック異常検出回路

(57) 【要約】

【目的】 クロック信号のデューティ比異常を検出する。

【構成】 基準デューティ比A、基準周期Tを有するクロックaのデューティ比異常を検出するに際し、クロックaの立上りに同期したパルス幅A×Tの第1の基準パルスbと、立下りに同期した同じくA×Tの第2の基準パルスdとを、MMV 1、2にて生成する。この基準パルスb、dをDFF 3、5により夫々ラッチしてサンプリングする。このラッチタイミングとして、クロックaの立下り、立上りを用いる。このサンプリング出力c、eのレベルに応じてアラーム出力fを生成する。



## 【特許請求の範囲】

【請求項1】 基準デューティ比A及び基準周期Tを有するクロック信号のデューティ比異常を検出するクロック異常検出回路であって、前記クロック信号の立上りに同期してパルス幅 $A \times T$ の第1の基準パルスを発生する手段と、前記クロック信号の立下りに同期してパルス幅 $A \times T$ の第2の基準パルスを発生する手段と、前記第1の基準パルスを前記クロック信号の立下りによりサンプリングする第1のサンプリング手段と、前記第2の基準パルスを前記クロック信号の立上りによりサンプリングする第2のサンプリング手段とを含み、前記第1及び第2のサンプリング手段の出力によりクロック信号のデューティ比異常を検出するようにしたことを特徴とするクロック異常検出回路。

【請求項2】 基準周期Tを有するクロック信号の周波数異常を検出するクロック異常検出回路であって、前記クロック信号によりトリガされ $T + \alpha$  ( $\alpha$ はTの許容変動値)の時定数を有する第1の単安定マルチバイブレータと、前記クロック信号によりトリガされ $T - \alpha$ の時定数を有する第2の単安定マルチバイブレータと、前記第1及び第2の単安定マルチバイブレータの出力を前記クロック信号により夫々サンプリングする第1及び第2のサンプリング手段とを含み、前記第1及び第2のサンプリング手段の出力によりクロック信号の周波数異常を検出するようにしたことを特徴とするクロック異常検出回路。

## 【発明の詳細な説明】

## 【0001】

【技術分野】 本発明はクロック異常検出回路に関し、特にデジタル回路装置におけるクロック信号のデューティ比及び周波数の異常を検出するクロック異常検出回路に関するものである。

## 【0002】

【従来技術】 従来のクロック異常検出回路としては、クロック信号の断を検出するものがある。このクロック断検出回路は単安定マルチバイブレータ(MMV)を用いた単純な構成であり、このMMVをクロック入力によりトリガして、クロック信号が存在している間はクロック信号に同期したパルス列がMMVより発生され、クロック信号が断となればMMVよりパルスは発生されないという事実を利用している。

【0003】 この様な従来のクロック異常検出回路はクロック信号断を検出することはできるが、クロックのデューティ比や周波数の異常を検出することはできない。

## 【0004】

【発明の目的】 そこで、本発明はかかる従来技術の欠点を解決すべくなされたものであって、その目的とするところは、クロック信号のデューティ比及び周波数の異常を検出することができるクロック異常検出回路を提供することにある。

## 【0005】

【発明の構成】 本発明によるクロック異常検出回路は、基準デューティ比A及び基準周期Tを有するクロック信号のデューティ比異常を検出するクロック異常検出回路であって、前記クロック信号の立上りに同期してパルス幅 $A \times T$ の第1の基準パルスを発生する手段と、前記クロック信号の立下りに同期してパルス幅 $A \times T$ の第2の基準パルスを発生する手段と、前記第1の基準パルスを前記クロック信号の立下りによりサンプリングする第1のサンプリング手段と、前記第2の基準パルスを前記クロック信号の立上りによりサンプリングする第2のサンプリング手段とを含み、前記第1及び第2のサンプリング手段の出力によりクロック信号のデューティ比異常を検出するようにしたことを特徴とする。

【0006】 本発明による他のクロック異常検出回路は、基準周期Tを有するクロック信号の周波数異常を検出するクロック異常検出回路であって、前記クロック信号によりトリガされ $T + \alpha$  ( $\alpha$ はTの許容変動値)の時定数を有する第1の単安定マルチバイブレータと、前記クロック信号によりトリガされ $T - \alpha$ の時定数を有する第2の単安定マルチバイブレータと、前記第1及び第2の単安定マルチバイブレータの出力を前記クロック信号により夫々サンプリングする第1及び第2のサンプリング手段とを含み、前記第1及び第2のサンプリング手段の出力によりクロック信号の周波数異常を検出するようにしたことを特徴とする。

## 【0007】

【実施例】 以下に本発明の実施例を図面を用いて詳細に説明する。

【0008】 図1は本発明の実施例の回路図であり、クロック信号のデューティ比異常を検出するための回路を示している。クロックaはMMV1、2の各トリガ入力となっており、MMV1はクロックaの立上りによりトリガされ、MMV2はその立下りによりトリガされる。

【0009】 MMV1、2の各出力パルスb、dはDFF(Dタイプフリップフロップ)3、5により夫々ラッチされる。このラッチタイミングとしては、DFF3がクロックaの立下りタイミングであり、DFF5がその立上りタイミングである。そのために、DFF3のT入力にはインバータ4を介してクロックaが入力されており、DFF5のT入力にはクロックaが直接印加されている。

【0010】 DFF3、5によるラッチ出力すなわちサンプリング出力c、e(共にQ出力の反転信号)はオアゲート6へ入力され、このオアゲート6の出力fがデューティ比異常検出出力となっている。

【0011】 いま、MMV3、5の時定数tを $t = A \times T$ となる様に予め設定しておく。ここに、Aは基準となるデューティ比であり、Tはクロックaの周期を示している。従って、MMV3、5の出力パルスb、dは、ク

3

ロック a の立上り、立下りに夫々同期して基準デューティ比を有する基準パルスとなる。

【0012】そこで、この両基準パルス b、d の各レベルをクロック a の立下り及び立上りにより夫々 DFF 3、5 を用いてサンプリングすれば、そのサンプリング出力 c、e にはクロック a の基準デューティ比からの増減に応じたレベルが得られることになる。

【0013】図2～図4は図1の回路の動作を示す図であり、各図の a～f は図1の各部信号 a～f の波形と対応している。

【0014】図2はクロック a のデューティ比が正常な場合の波形である。この場合は、MMV 3、5 の出力 c、e 共に L (ロー) レベルとなり、オアゲート 6 の出力 f は L レベル (正常) を示している。

【0015】図3はクロック a のデューティ比が基準デューティ比 A よりも大なる場合である。この場合は、MMV 3 の出力 c が H レベルに変化して、オアゲート 6 の出力 f も H レベル (異常) を示すことになる。

【0016】図4はクロック a のデューティ比が A よりも小なる場合であり、MMV 5 の出力 e が H レベルとなつてオアゲート 6 の出力 f がやはり H レベルで異常を示すことになる。

【0017】図5は本発明の他の実施例を示す回路図であり、クロック周波数異常を検出する例である。図において、図1と同等部分は同一符号により示している。

【0018】クロック a は MMV 1、2 へ夫々入力されており、この両 MMV 1、2 は共にクロック a の立上りによりトリガされるようになっている。MMV 1、2 の両出力 b、d は DFF 3、5 によりラッチされるもので、このラッチタイミングは共にクロック a の立上りタイミングである。

【0019】DFF 3 の出力 c (Q 出力の反転信号) 及び DFF 5 の Q 出力 e は 2 入力オアゲート 6 へ入力され、このオアゲート 6 の出力 f に異常検出信号が得られるようになっている。

【0020】いま、MMV 3、5 の各時定数  $t_3$ 、 $t_5$  を夫々次の様に設定しておく。

【0021】 $t_1 = T + \alpha$

$t_2 = T - \alpha$

ここで、T はクロックの基準周期 ( $1/F$ 、F は基準周波数) であり、 $\alpha$  は T の許容変動値を示す。

【0022】従つて、図6に示す様に、クロック a の周波数 (周期) が正常であれば、MMV 1 の出力 b は常時 H レベルのままであり、MMV 2 の出力 d は図中 d に示すパルスが得られる。よつて、これ等出力 b、d をクロック a の立上りでラッチすれば、DFF 3、5 の各出力

4

c、e は図中の c、e の如くなり、共に L レベルとなる。このとき、オアゲート 6 の出力 f は L レベルとなり正常であることを示す。

【0023】次に、クロック a の周波数が減少すれば、図7に示す如く、MMV 1 の出力 b は図中 b に示すパルスが得られる。尚、MMV 2 の出力 d にもパルスが得られている。

【0024】よつて、これ等出力 b、d をクロック a の立上りにより夫々ラッチすれば、MMV 3、5 の出力は図中 c、e の如くなり、出力 c が H レベルとなる。よつて、オアゲート 6 の出力 f は H レベルとなり異常を示す。

【0025】また、クロック a の周波数が増大すれば、図8に示す如く、MMV 1、2 の出力 b、d 共に H レベルを維持する。よつて、これ等出力 b、d をラッチすれば、ラッチ出力 e が H レベルとなり、オアゲート 6 の出力 f は H レベルで異常となるのである。

【0026】

【発明の効果】本発明によれば、クロックの基準デューティ比を有する基準パルスを生成し、またクロックの基準周波数を有する基準パルスを生成し、これ等基準パルスと入力クロックとの位相関係を検出することにより、デューティ比異常及び周波数異常が検出できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のデューティ比異常検出回路を示す図である。

【図2】図1の回路において、デューティ比正常時の動作を示すタイムチャートである。

【図3】図1の回路において、デューティ比増大時の動作を示すタイムチャートである。

【図4】図1の回路において、デューティ比減少時の動作を示すタイムチャートである。

【図5】本発明の実施例の周波数異常検出回路を示す図である。

【図6】図5の回路において、周波数正常時の動作を示すタイムチャートである。

【図7】図5の回路において、周波数現象時の動作を示すタイムチャートである。

【図8】図5の回路において、周波数増大時の動作を示すタイムチャートである。

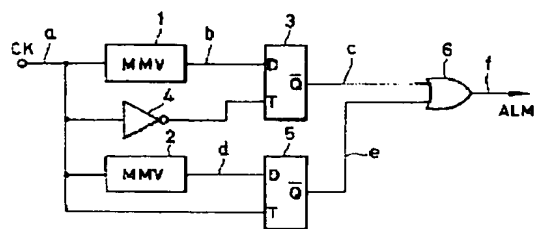
【符号の説明】

1、2 MMV

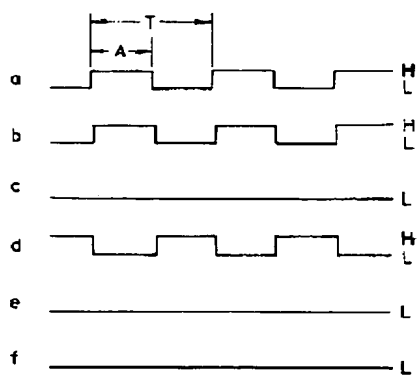
3、5 DFF

6 オアゲート

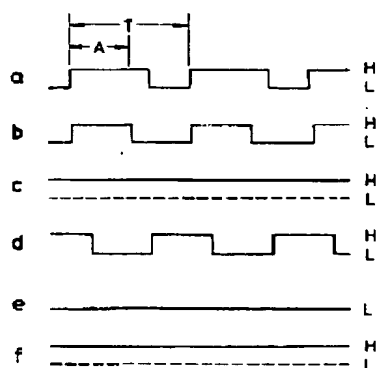
【図1】



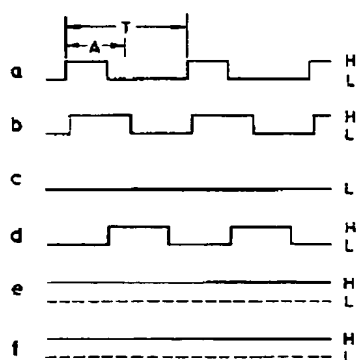
【図2】



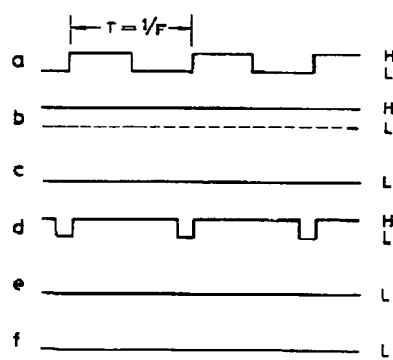
【図3】



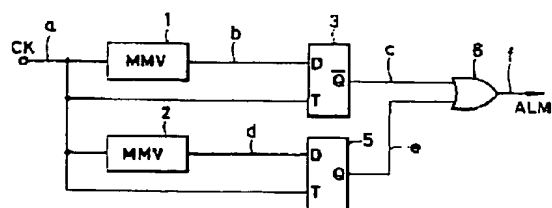
【図4】



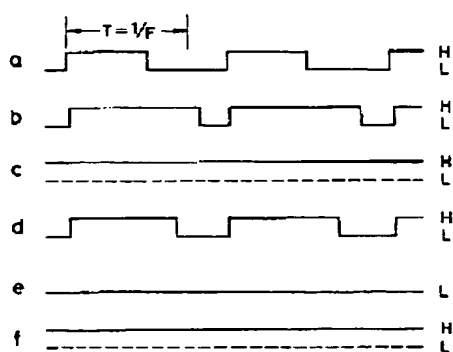
【図6】



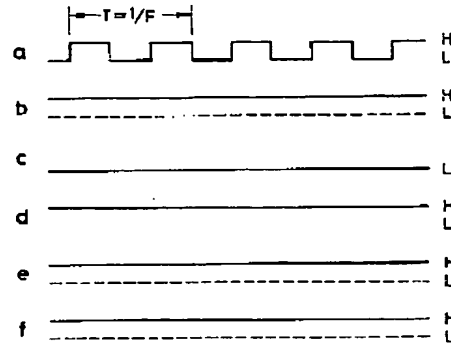
【図5】



【図7】



【図8】




---

フロントページの続き

(72)発明者 菊池 俊昭  
 東京都港区西新橋三丁目20番4号 日本電  
 気エンジニアリング株式会社内